

DERWENT-ACC-NO: 1982-H9120E
DERWENT-WEEK: 198227
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Source-earth connection formation for MESFET chips
- uses substrate
with contacts each projecting beyond corresponding chip to
provide contact edge

INVENTOR: KNIEKAMO, H; RISTOW, D

PATENT-ASSIGNEE: SIEMENS AG[SIEI]

PRIORITY-DATA: 1980DE-3043903 (November 21, 1980)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
DE 3043903 A	July 1, 1982	N/A
022	N/A	
JP 57112081 A	July 12, 1982	N/A
000	N/A	

INT-CL (IPC): H01L021/60; H01L023/12 ; H01L029/78

ABSTRACTED-PUB-NO: DE 3043903A

BASIC-ABSTRACT: The connections for several MOSFET chips
(11) are formed
simultaneously by using a common substrate (1) divided into
parallel sections
(12,13) in which the individual chips (11) are placed.
Each section (12,13)
has a surface contact (4) for the chip (11) which projects
(4) for the chip
(11) which projects beyond the edge of the latter at one
side, to provide a
contact edge which the contact edge projects.

Pref. the surface of the substrate (1) with the applied
chip contacts (4,5,6)
is coated with a protective lacquer.

CHOSEN-DRAWING: Dwg.1

TITLE-TERMS:

SOURCE EARTH CONNECT FORMATION MESFET CHIP SUBSTRATE
CONTACT PROJECT CORRESPOND
CHIP CONTACT EDGE

ADDL-INDEXING-TERMS:
METAL SEMICONDUCTOR FET

DERWENT-CLASS: U11 U12

EPI-CODES: U11-C05C; U11-C06; U12-D02X;

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑪ DE 3043903 A1

⑳ Aktenzeichen:
㉔ Anmeldetag:
㉕ Offenlegungstag:

P 30 43 903.3
21. 11. 80
1. 7. 82

⑤① Int. Cl. 3:
H 01 L 21/60
H 01 L 21/78
H 01 L 21/88
H 01 L 29/78

㉑ Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

㉒ Erfinder:
Kniekamp, Hermann, Dipl.-Phys., 8000 München, DE;
Ristow, Dietrich, Dipl.-Phys. Dr., 8014 Neubiberg, DE

⑤④ Verfahren zur Herstellung von Kontaktverbindungen, insbesondere für MESFETs

DE 3043903 A1

DE 3043903 A1

Patentansprüche:

1. Verfahren zur Herstellung von Kontaktverbindungen zwischen wenigstens einem Kontakt der Oberseite eines Halbleiterchips und der Unterseite desselben über wenigstens eine Stirnseite des Halbleiterchips hinweg, insbesondere von Source-Masse-Kontaktverbindungen an MESFETs, g e k e n n z e i c h n e t dadurch, daß für die gleichzeitige Herstellung einer derartigen Kontaktverbindung an einer Vielzahl von Halbleiterchips (11) nach dem Aufbringen des jeweiligen, mit der Unterseite (325) zu verbindenden Kontakts (4) auf der Oberseite (2) eines größeren Substratkörpers (1) dieser Substratkörper (1) durch wenigstens zwei im Winkel zueinander ausgerichtete Scharen mit untereinander parallelen Sägeschnitten (12, 13) in die einzelnen Chips (11) aufgeteilt wird, wobei die Sägeschnitte (12, 13) wenigstens einer der Scharen die einzeln auf der Oberseite befindlichen Kontakte (4) der jeweiligen Chips (11) in gleicher Weise anschneiden; daß daraufhin die noch zusammenhängenden Chips (11) derart geätzt werden, daß an der jeweiligen durch Sägen zuvor entstandenen Stirnseite (322, 323) Halbleitermaterial soweit abgetragen wird, daß die durch das Anschneiden der einzelnen Kontakte (4) entstandenen Kontaktkanten (222, 223) für eine noch anzubringende Kontaktverbindung (422, 423) ausreichend weit überstehen; und daß durch Bedampfung (34) einer solchen Stirnseite (322, 323) und der jeweiligen Unterseite (325) der Chips (11) diese Seiten derart metallisiert (422, 423, 425) werden, daß leitender Übergang zwischen dem überstehenden Anteil (222, 223) des jeweiligen Kontakts (4) der Oberseite (2) und der jeweiligen Bedampfung (425) der Unterseite (325) erreicht ist.

2. Verfahren nach Anspruch 1, dadurch g e k e n n -
z e i c h n e t , daß die Oberseite (2) des Substrat-
körpers (1) mit den darauf befindlichen Kontakten (4,
5, 6) mit einer Schutzlackschicht (32, 33) bedeckt wird.
- 5 3. Verfahren nach Anspruch 1 oder 2, g e k e n n -
z e i c h n e t dadurch, daß mit dem Sägevorgang (12,
13) der Substratkörper (1) noch nicht vollständig
durchtrennt wird und daß beim nachfolgenden Ätzen von
10 der Rückseite des Substratkörpers (1) her außerdem
auch noch soviel Substratmaterial entfernt wird (Dünn-
ätzen), daß der angesägte Substratkörper (1) in die
einzelnen Chips (11) vollends aufgeteilt wird.
- 15 4. Verfahren nach Anspruch 1 oder 2, g e k e n n -
z e i c h n e t dadurch, daß auf dem Substratkörper
(4) auf dessen Oberseite (2) bzw. auf der darauf be-
findlichen Schutzlackschicht (32) vor dem Sägen eine
Trägerfolie (33) aufgebracht wird und der Substratkör-
20 per (1) von der Rückseite her vollständig bis in die
Trägerfolie hinein durchtrennt wird (Fig.3).
- 25 5. Verfahren nach einem der Ansprüche 1 bis 4, g e -
k e n n z e i c h n e t dadurch, daß die durch Be-
dampfen aufgebrachte Metallisierung (422, 423, 425)
durch galvanische Abscheidung verstärkt wird, so daß
ein mechanisch stabiles Trägernetz (412) für den Zu-
sammenhalt der entstandenen Halbleiterchips (11) vor-
30 liegt (Fig.4).
- 35 6. Verfahren nach einem der Ansprüche 1 bis 4, g e -
k e n n z e i c h n e t dadurch, daß die Bedampfung
mit einer derartigen Dicke ausgeführt wird, daß ein
mechanisch stabiles Trägernetz (412) für den Zusammen-
halt der Chips (11) entsteht (Fig.4).

21.11.88 3043903

3-
~~18~~ 80 P 7190 DE

7. Verfahren nach einem der Ansprüche 1 bis 6, g e -
k e n n z e i c h n e t dadurch, daß nur ein oder meh-
rere Anteile der Stirnseite (322, 323, 1322, 1323) mit
überstehenden Kontaktkanten (222, 222*, 223, 223*, 223',
1222, 1223) des jeweiligen Chips (11) metallisiert
(422, 422*, 423, 423*, 423', 1422, 1423) werden, wozu
die übrigen Anteile der Stirnseite vorübergehend während
der Bedampfung abgedeckt sind (Fig.6).

8. Verfahren nach einem der Ansprüche 2 bis 7, g e -
k e n n z e i c h n e t dadurch, daß der Schutzlack
(32) ein Fotolack ist, der im Bereich (71, 72) des nach
Ätzen überstehenden Randes (222) des Kontakts (4) lös-
lich gemacht wird bzw. löslich bleibt, und daß der Foto-
lack erst nach dem Sägen (12) entwickelt wird, wobei der
Fotolack in diesem Bereich (71, 72) entfernt wird, so
daß ein Randanteil der Oberfläche des Kontakts (4) dort
freiliegt und sich bei dem nachfolgenden Schrägbedampfen
(34) eine Lücke der Bedampfungsschicht ergibt (Fig.7).

9. Verfahren nach Anspruch 8, g e k e n n z e i c h -
n e t dadurch, daß der Bereich sich nur über einen oder
mehrere Anteile des überstehenden Randes des Kontakts
erstreckt (Fig.7).

31.11.80 3043903

- 4 -

SIEMENS AKTIENGESELLSCHAFT
Berlin und München

Unser Zeichen
VPA 80 P 7196 DE

Verfahren zur Herstellung von Kontaktverbindungen,
insbesondere für MESFETs.

- 5 Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung von Kontaktverbindungen zwischen wenigstens einem Kontakt der Oberseite eines Halbleiterchips und der Unterseite desselben, wie dies im Oberbegriff des Patentanspruchs 1 näher angegeben ist.
- 10 Für den Fall eines MESFET (Metall-Halbleiter-Feldeffekttransistor), auf den sich die vorliegende Erfindung bevorzugt bezieht, gibt es bereits Vorschläge zur Lösung des Problems, den auf der Oberseite des Halbleiterchips des MESFET vorhandenen Source-Anschluß
- 15 mit der Rückseite des Chips zu verbinden, die vorzugsweise die Masse-Elektrode ist. Diese ist gleichzeitig auch Träger dieses Chips.
- 20 Ein älterer Vorschlag zur Lösung des Problems induktionsarmen Anschlusses der mehreren Source-Elektroden eines Mikrowellen-Leistungs-Feldeffekttransistors gibt die Druckschrift "IEEE Transactions on Electron Devices", Bd.ED 23 (1976), Seiten 388-394 an. Dieser Vorschlag besteht im wesentlichen darin, den mit seiner
- 25 Unterseite auf der metallischen Trägerunterlage zu montierenden Halbleiterchip, der auf seiner Oberseite mehrere Substratanschlüsse hat, in der Nähe einer winkelförmigen Ausbildung dieser Unterlage aufzubringen. Es ist dabei vorgesehen, die Innenseite des Winkels
- 30 mit flüssigem Lot anzufüllen, den Halbleiterchip auf die den einen Schenkel des Winkels bildende Unterlage

Bts 1 Bla / 20.11.80

21.11.80

3043903

- 5 -

80 P 7 1 9 6 DE

- aufzusetzen und gegen das im Winkel befindliche Lot derart zu schieben, daß sich das Lot nach oben drückt und Kontakt mit den Source-Anschlüssen erzeugt. Eine solche technische Lösung erfordert außerordentlich hohen Aufwand der Justierung und Überwachung des Ablaufs dieses Herstellungsverfahrens.

- In "IEEE Transactions on Electron Devices", Bd. ED 25 (1978), Seiten 1218-1221 ist ein jüngerer Vorschlag zur Lösung dieses Problems beschrieben, nämlich von der Rückseite des Chips in diesen Löcher an den Stellen hereinzuätzen, an denen sich auf der Oberseite des Chips der betreffende Source-Anschluß befindet. Da die Ätzlöcher nicht beliebig geringen Durchmesser bei z.B. 100 µm dickem Halbleiterchip haben können, wird im Fall eines Leistungs-MESFET mit einer Vielzahl parallelgeschalteter Source-Elektroden die notwendige Gesamtgröße des Halbleiterchips durch die Größe der Löcher bestimmt. Das Problem der Miniaturisierung von Elektronikschaltungen läßt sich mit dieser technischen Maßnahme nicht geeignet lösen.

- Es ist eine Aufgabe der vorliegenden Erfindung, ein vereinfachtes Verfahren anzugeben, mit dem gleichzeitig eine Vielzahl von induktionsarmen, elektrisch gleichwertigen Source-Masse-Kontaktverbindungen eines Leistungsfeldeffekttransistors, und zwar insbesondere in automatischem Verfahrensablauf, hergestellt werden können.
- Diese Aufgabe wird für ein Verfahren nach dem Oberbegriff des Patentanspruchs 1 mit den Merkmalen des Kennzeichens des Anspruchs 1 gelöst. Weitere Ausgestaltungen dieses Verfahrens gehen aus den Unteransprüchen hervor.

Erheblich verschieden von der technischen Entwicklung der Vergangenheit, wie sie durch die beiden oben erwähnten Vorschläge von 1976 und 1978 dokumentiert ist, ist mit der Erfindung ein neuer Weg eingeschlagen worden, das schon lange anstehende Problem zu lösen.
 5 Grundvoraussetzung des erfindungsgemäßen Verfahrens ist die Automatisierbarkeit der einzelnen Verfahrensschritte und des gesamten Verfahrensablaufs einerseits, ohne daß andererseits größerer Flächenbedarf in Kauf
 10 zu nehmen ist, wobei geringe Abmessungen außerdem auch dem Hochfrequenzverhalten zugunste kommen.

Das erfindungsgemäße Verfahren arbeitet mit Ätzschritten, Aufdampfverfahren und ggf. mit galvanischer Verstärkung, wobei das Zerteilen eines größeren Substratkörpers bzw. Wafers in die einzelnen Halbleiterchips der MESFETs ganz oder ggf. auch nur teilweise durch Sägen erfolgt.

20 Des besseren Verständnisses der Erfindung wegen, wird diese mit ihren Variationsmöglichkeiten nachfolgend anhand der beigefügten Figuren beschrieben, die sich auf ein bevorzugtes Ausführungsbeispiel und Varianten desselben beziehen.

25 Fig.1 zeigt eine Aufsicht auf die mit den Source-, Gate- und Drain-Anschlüssen, bzw. -Elektroden versehenen Oberfläche bzw. Vorderseite des Substratkörpers.

30 Fig.2 zeigt einen Schnitt II-II der Fig.1 vor Ausführung der Sägeschnitte.

35 Fig.3 zeigt einen Schnitt II-II nach Fig.1 nach Ausführung der Sägeschnitte, nach Ätzen der (seitlichen)

21.11.88

3043903

- 7 -

80 P 7196 DE

und nach erfolgter Schrägbedampfung.

5 Fig.4 zeigt eine Aufsicht der Rückseite der aus dem ursprünglichen Substratkörper durch Sägen und Ätzen entstandenen Halbleiterchips, die sich auf einer auf der Vorderseite des Substratkörpers zuvor angebrachten Lackschicht und/oder Folie befinden.

10 Fig.5 zeigt eine Seitenansicht eines Anteils eines Transistorgehäuses mit eingebauten, erfindungsgemäß hergestellten (Transistor-)Halbleiterchips.

15 Fig.6 zeigt eine weitere Anwendungsmöglichkeit der Erfindung für ein Halbleiterchip mit einer Vielzahl von auf der Vorderseite angebrachten Anschlüssen und mit auf den Seitenflächen und der Rückseite durch Schrägaufdampfen hergestellten Kontaktverbindungen.

20 Fig.7 zeigt eine Weiterbildung des erfindungsgemäßen Verfahrens zur Herstellung von Sollbruchstellen zwischen der Metallisierung der Chips und dem auf der Unterlage entstehenden Metallnetz.

25 Fig.1 zeigt in einer Aufsicht die Oberfläche 2 eines Anteils eines Halbleiter-Substratkörpers 1 aus beispielsweise Galliumarsenid. Mit 4, 5 und 6 sind Source-Elektrode, Gate-Elektrode und Drain-Elektrode (bzw. deren
30 Anschlüsse) von vier Einzel-MESFETs wiedergegeben, die die entsprechenden Anteile der Oberfläche 2 des Halbleiter-Substratkörpers 1 einnehmen, wobei diese Anschlüsse 4, 5 und 6 jedes einzelnen Feldeffekttransistors in regelmäßiger Matrix in bezug zu denjenigen der anderen
35 Feldeffekttransistoren auf dem einen Substratkörper 1

angeordnet sind.

Fig.2 zeigt einen Schnitt II-II der Fig.1 mit den auf der Oberfläche 2 des Substratkörpers 1 befindlichen
5 Elektroden 4, 5 und 6, wobei die Elektroden in der Praxis im Regelfall ineinander verschachtelt angeordnet sind. Der Substratkörper 1 hat eine Dicke von beispielsweise 500 μ m. Die entstehenden Chips⁴¹ haben eine Fläche von z.B. 1 mm x 0,5 mm.

10 In Fig.1 ist angedeutet, in welchen Positionen, bezogen auf die einzelnen durch die Elektroden 4, 5 und 6 repräsentierten Feldeffekttransistoren, die Sägeschnitte ausgeführt werden können. Es sind in Fig.1 zwei zueinander orthogonale Scharen von Sägeschnitten angedeutet.
15 Die eine Schar untereinander paralleler Sägeschnitte ist durch die beiden Sägeschnitte 12 angedeutet und die andere in der Figur waagrecht verlaufende Schar ist durch die zueinander parallelen Sägeschnitte 13 angedeutet.
20 Wie aus den beiden Fig.1 und 2 ersichtlich, schneiden die Sägeschnitte 12 jeweils eine Kante 112 der einzelnen Source-Anschlüsse 4 zumindest derart an, daß diese Anschlüsse 4 mit dieser Kante 112 mit Sicherheit bis an den Rand der Sägeschnitte heranreichen.
25 Das gleiche kann auch für die Sägeschnitte 13 (siehe Fig.1) vorgesehen sein, mit denen der benachbarte Rand 113 der einzelnen Source-Anschlüsse 4 angeschnitten wird. Wie ersichtlich, sind der Gate-Anschluß 5 und der Drain-Anschluß 6 gegenüber dem Source-Anschluß 4
30 derart versetzt auf der Oberfläche 2 des Substratkörpers 1 angeordnet, daß mit keinem der Schnitte 12, 13 auch diese Anschlüsse mit angeschnitten werden, so daß zwischen den Rändern der Gate- und Drain-Anschlüsse 5, 6 einerseits und den Rändern der Sägeschnitte 12, 13
35 andererseits stets noch ein ausreichend großer Isola-

21.11.80

3043903

-9-

80 P 7196 DE

tionsabstand vorliegt.

5 Mit den Andeutungen der Sägeschnitte 12, 13 in den
Fig.1 und 2 ist die prinzipielle Lage desselben, ins-
besondere in bezug auf die Source-Anschlüsse 4, wie-
dergegeben. Entsprechend zweier bevorzugter Alternati-
ven des erfindungsgemäßen Herstellungsverfahrens
können die Sägeschnitte von unten oder auch von oben
in den Substratkörper 1 eingebracht werden. Für Ein-
10 schnitte von unten empfiehlt es sich, dazu die Ober-
seite des Substratkörpers 1, d.h. die Oberfläche 2 und
die darauf befindlichen Anschlüsse 4, 5 und 6, mit
einer Schicht zu überziehen, die z.B. hier eine Lack-
schicht von 10 µm Dicke aus Fotolack AZ 1350 ist. Es.
15 kann auch eine Folie, z.B. vorzugsweise eine selbst-
klebende Kunststoff-Folie, direkt auf die Oberfläche
2 und die Anschlüsse 4, 5 und 6 oder auf die vorzugs-
weise bereits darauf befindliche Lackschicht aufge-
bracht werden. Als Folie eignet sich die sogenannte
20 "Blaufolie" Nr.114 der Fa. Esec. Eine solche Folie
hat z.B. 100 µm Dicke. Der bei dieser Variante von
unten auszuführende Sägeschnitt wird bis in die Folie
vorangetrieben, so daß der Substratkörper 1 über
seine ganze Dicke durchtrennt und auch noch die Source-
25 Anschlüsse 4 über ihre ganze Dicke hinweg geschnit-
ten werden. Die zuvor aufgebrachte Lackschicht und/
oder Folie hält die einzelnen beim Sägen aus dem Sub-
stratkörper 1 entstandenen Chips zusammen. Ein jeder
Chip enthält einen Feldeffekttransistor mit wenigstens
30 je einem Source-Anschluß 4, Gate-Anschluß 5 und Drain-
Anschluß 6.

Der Vollständigkeit halber sei noch darauf hingewiesen,
daß nach dem Anbringen der Lackschicht und/oder der
35 Folie und vor dem Sägen der beispielsweise ursprüng-

21.11.90

3043903

- 40 -

- 80 P 7196 DE

lich 500 μ m dicke Substratkörper 1 vorteilhafterweise zunächst auf die gewünschte endgültige Dicke der Halbleiterchips von z.B. 50 μ m abgeätzt wird.

- 5 Die zweite Variante besteht darin, den Sägeschnitt an den wie angegebenen Stellen von oben her auszuführen, den Schnitt jedoch nur bis zu einer wenigstens so großen Tiefe in den Substratkörper 1 voranzutreiben, die der gewünschten Dicke der später entstehenden Halbleiterchips entspricht. Durch nachfolgendes Ätzen wird
10 der restliche nicht angeschnittene Anteil des Substratkörpers 1 abgeätzt, wodurch wiederum die einzelnen im Halbleitermaterial voneinander getrennten Halbleiterchips entstehen. Die Einschnitt-Tiefe beträgt z.B.
15 50 μ m und die restlichen 450 μ m des Substratkörpers 1 werden dann von dessen Rückseite her abgeätzt. Nach dem Sägen und vor dem Ätzen empfiehlt es sich, die Oberfläche (von der aus eingesägt wird) mit einer Schicht oder Folie zu bedecken, die an dieser
20 Oberfläche fest anhaftet und die mit dem Ätzen entstehenden Chips zusammenhält.

- Es sei darauf hingewiesen, daß auch durch Polieren des Substratkörpers 1 die entstehenden Halbleiterchips auf
25 die erforderliche geringe Dicke von (weniger als) beispielsweise 50 μ m gebracht werden können, um eine möglichst optimale Verringerung des Wärmewiderstands zu erreichen.

- 30 Nach Ausführung des beschriebenen Sägevorgangs wird ein Ätzschritt durchgeführt, bei dem die durch das Sägen im Substratkörper 1 entstandenen Schnittflächen geätzt werden. Von diesen Flächen werden z.B. $\approx 3 \mu$ m Halbleitermaterial abgetragen, wodurch die Seitenflächen 322,
35 326 der Halbleiterchips entstehen. Hierzu eignet sich

21 11 80

3043903

- 11 -

- 8 - 80 P 7196 DE

für Galliumarsenid (und den angegebenen Fotolack) beispielsweise eine Ätze aus einer Mischung von Phosphorsäure, Wasserstoffsuperoxid und Wasser. Wie dies aus der Fig.3 als weiter entwickeltem Stadium der Darstellung der Fig.2 zu ersehen ist, entsteht durch dieses Abätzen der überstehende Rand 222 des Substratanschlusses 4. Etwas gleichartiges bei den Anschlüssen 5 und 6 entfällt, weil dieses ohnehin einen größeren Abstand als z.B. diese 3 μ m vom Rand der Sägeschnitte 12 und 13 haben.

Wenn - wie dies in Fig.1 gezeigt ist - der Sägeschnitt 13 außerdem auch noch die Kante 113 des Substratanschlusses 4 anschneidet, entsteht durch das bereits erwähnte Ätzen der Sägeschnittflächen am Substratanschluß 4 parallel zum Sägeschnitt 13 ein weiterer über die entstehende Fläche 323 (siehe Fig.4) überstehender Rand 223, vergleichbar dem Rand 222.

Fig.3 zeigt im übrigen auch noch die bereits voranstehend erwähnte Lackschicht 32 und die darauf befindliche Folie 33, die die nach dem Sägevorgang und dem Ätzen entstandenen Halbleiterchips 11 mechanisch zusammenhalten.

Der Vorgang des Abätzens der Schnittflächen der Sägeschnitte 12 und 13 kann bei der oben beschriebenen zweiten Variante in einem Verfahrensschritt mit dem oben beschriebenen Wegätzen überflüssigen Substratmaterials erfolgen. Die Schnittflächen werden geätzt, sobald die Ätzflüssigkeit in die Sägeschnitte eindringt.

In Fig.3 ist zusätzlich noch mit den Pfeilen 34 angedeutet, in welcher Weise nunmehr nachfolgend eine Metall-Bedampfung aus schräger Richtung ausgeführt wird.

Durch diese Schrägbedampfung werden sowohl die wie vor-
anstehend beschriebenen abgeätzten Flächen 322, 323 als
auch die Rückseiten 325 der einzelnen Halbleiterchips
11 metallisiert, ohne daß die ebenfalls entstandenen
5 und abgeätzten Sägeschnittflächen 326 von der Bedamp-
fung erfaßt werden. Führt man die Bedampfung in einer
solchen Schrägrichtung 34 aus, wie sie mit den einen
in Fig.1 gestrichelt wiedergegebenen Pfeil 34 zusätz-
lich erkennbar angedeutet ist, so wird auch die in der
10 Fig.3 sichtbare geätzte, ursprünglich vom Sägeschnitt
13 gebildete und abgeätzte Seitenfläche 323 des Halb-
leiterchips 11 mit bedampft. Die durch Bedampfung auf
den Halbleiterchips entstandenen Schichten sind mit
422, 423 und 425 bezeichnet.

15 Durch diese Schrägbedampfung 34 wird mit den Schichten
422 und 423 durchgehend leitende Kontaktverbindung zwi-
schen den überstehenden Rändern 222 und 223 des jeweiligen
Substratanschlusses 4 und der Aufdampf-Metallisierung
20 425 der Rückseite 325 des Halbleiterchips erzeugt, und
zwar über die Seitenfläche 322, 323 hinweg.

Fig.4 zeigt eine Aufsicht zur Schnittdarstellung der
Fig.3, und zwar bezogen auf die Darstellung der Fig.3
25 von unten. Die Ansicht der Fig.4 ist damit eine An-
sicht aus der vergleichsweise zur Fig.1 entgegengesetz-
ten Richtung. Die Ansicht der Fig.4 ist keine perspek-
tivistische Ansicht. In Fig.4 sind die mit den Fig.1 bis 3
Übereinstimmenden Bezugszeichen verwendet, so daß die mit
30 425 bezeichnete, nach der Bedampfung 34 metallisierte
Rückseite 325 der einzelnen Halbleiterchips 11 zu sehen
ist. Die gestrichelten Linien 322 und 323 weisen auf
die Seitenflächen des Halbleitermaterials des Chips 11
hin.

21.11.80 3043903

-13-

~~-10-~~ 80 P 7196 DE

5 Mit 411 sind Flächenanteile bezeichnet, die wegen der
angegebenen Schrägbedampfung 34 infolge Schattenwurfs
(entsprechend der Wahl des Bedampfungswinkels 34) durch
die einzelnen Halbleiterchips 11 von einer Bedampfung
freibleiben. Die außerhalb der Flächen 325 und 411
15 liegenden Flächenanteile 412 in der Ansicht der Fig.4
sind metallbedampft und bilden ein Metallnetz. Jedes
einzelne Chip ist mit seinen Metallschichten 422, 423
mit diesem Metallnetz verbunden und alle Chips 11 wer-
den auch nach Entfernung der obengenannten Schichten
20 32, 33 auf diese Weise noch zusammengehalten.

15 Sofern man nicht von vornherein die Bedampfung so dick
wählt, daß damit ausreichende elektrische Leitfähig-
keit erreicht ist, und auch genügend stabiler mechani-
scher Zusammenhalt gewonnen ist, kann zusätzlich zur
Bedampfung galvanischer Verstärkung vorgesehen sein,
mit der auf jeden Fall diese beiden Ziele erreicht wer-
den.

20 Durch den Zusammenhalt der einzelnen Halbleiterchips 11
wird der Einbau einer jeweils vorgesehenen Mehrzahl von
solchen einzelnen Halbleiterchips in ein einzelnes Tran-
sistorgehäuse erleichtert. Zum Beispiel wird, wie
25 Fig.5 zeigt, eine Anzahl derartiger Halbleiterchips 11
zusammengenommen mit der jeweiligen metallisierten Fläche
325 auf eine metallische Unterlage 51 des Transistor-
gehäuses (nur teilweise dargestellt) aufgesetzt und
dort angelötet. Diese Unterlage des Transistorgehäuses
30 ist der gemeinsame Anschluß für die einzelnen Source-
Anschlüsse 4 der Halbleiterchips 11, wobei durch die
erfindungsgemäßen Maßnahmen sichergestellt ist, daß ein
jeder Source-Anschluß 4 eine solche Kontaktverbindung
35 mit der Trägerunterlage 51 des Transistorgehäuses hat,
die identisch ist mit denjenigen, die bei den anderen

ORIGINAL INSPECTED

31.11.90

3043903

- 14 -

- 14 - 80 P 7196 UE

Halbleiterchips 11 vorliegen. Es ist damit gewährleistet, daß ein zugeführtes Hochfrequenzsignal mit genau gleicher Phase an alle vorhandenen Source-Anschlüsse 4 gelangt. Mit 52 ist eine Lotschicht angedeutet.

5

Voranstehend ist die Erfindung an einem Beispiel beschrieben worden, bei dem die eine Seitenfläche 322 bzw. zwei Seitenflächen 322, 323 des Halbleiterchips 11 ganzflächig mit einer metallischen Kontaktverbindung (durch Bedampfen) bedeckt worden sind, wobei sich der überstehende Rand 222 über einen wesentlichen Anteil der einen Seite des einzelnen Halbleiterchips 11 erstreckt. Die Erfindung läßt sich aber auch für solche Fälle anwenden, bei denen auf der Oberfläche des einzelnen Halbleiterchips mehrere getrennte Anschlüsse vorhanden sind, die mit der Rückseite oder wenigstens mit der Seitenfläche Kontaktverbindung erhalten sollen und bei denen dann nur ein Anteil oder nur mehrere Anteile der jeweiligen Stirnseite eines einzelnen Chips für eine Kontaktverbindung metallisiert werden. Für eine solche Ausführungsform der Erfindung werden ebenfalls die vorangehend beschriebenen Verfahrensschritte des Sägens und des Abätzens der Sägeschnittflächen durchgeführt. Soweit auf der Oberfläche Elektroden vorhanden sind, die vom Sägeschnitt wie beim vorangehenden Beispiel eingeschnitten werden, entstehen durch das Ätzen entsprechend überstehende Ränder, wie sie in Fig.6 mit 222, 222*, 223, 223* usw. bezeichnet sind. Die Fig.6 ist dabei eine der Fig.4 entsprechende, von unten gesehene Darstellung der durch Sägen und Ätzen entstandenen Halbleiterchips 11. Mit 422, 422*, 423, 423* und 423' sind mit 34 beschriebene Bedampfungen bezeichnet, die hier nur die bereits erwähnten Anteile der Seitenflächen 322 und 323 der Halbleiterchips 11 bedecken. Zur Herstellung dieser nur Teilflächen der Halbleiterflächen

21.11.80

3043903

-15-

-12- 80 P 7196 DE

322 und 323 bedeckenden Bedampfungen werden vorübergehend angebrachte Maskierungen verwendet, die die freibleibenden Flächenanteile der Seitenflächen 322 und 323 für den Bedampfungsprozeß abdecken.

5

Durch Bedampfung aus mehreren Richtungen, z.B. wie zusätzlich mit 134 angedeutet, können auch auf mehr als zwei Seitenflächen solche wie voranstehend beschriebenen Strukturen erzeugt werden, die für die Seitenflächen 1323 und 1322 mit 1223 und 1423 sowie 1222 und 1422 bezeichnet sind. Wie dargestellt, können die durch Schrägbedampfung erzeugten Metallisierungen 422 bis 1423 bis auf die Rückseite 325 der Halbleiterchips 11 reichen, wie in der Fig.6 in Aufsicht zu sehen ist.

15

Für die nur partielle Bedampfung von Anteilen der Flächen wird eine mit entsprechenden Löchern versehene Bedampfungs-Maske verwendet, durch die hindurch diese partielle Bedampfung der entsprechenden Anteile der Seitenflächen und Rückseite des Halbleiterchips 11 erfolgt.

20

Solche wie mit der Erfindung in einfacher Weise herstellbaren Kontaktierungen sind vorteilhaft für monolithische Schaltungen zu verwenden, die auf der Vorder- und der Rückseite eines Substrates Schaltungsanteile besitzen und bei denen Kontaktverbindungen zwischen Vorder- und Rückseite gewünscht sind.

25

Fig.7 läßt mit einem etwas vergrößerten Ausschnitt aus Fig.3 eine Weiterbildung der Erfindung erkennen. Im Zusammenhang mit der Fig.4 ist das Entstehen eines Metallnetzes 412 beschrieben, mit dem die Gesamtheit der entstehenden Halbleiterchips 11 zusammengehalten wird. Die einzelnen Halbleiterchips 11 sind mit dem

30
35

ORIGINAL INSPECTED

16-

3043903

-13- 80 P 7196 DE

Metallnetz 412 an der Kante 222 bzw. an den Kanten 222 und 223 gehalten. Wenn man nun die einzelnen Halbleiterchips 11 aus dem Metallnetz herausnehmen will, z.B. durch Ergreifen mit einer Saugpinzette, muß diese Verbindung zwischen dem Netz 412 und dem überstehenden Rand 222 bzw. 222 und 223 zerstört werden. Dabei kann aber auch eine Beschädigung der Kontaktverbindung zwischen diesen überstehenden Rändern 222 und 223 mit den Metallisierungen 422 und 423 erfolgen. Damit dies mit Sicherheit im Einzelfall vermieden ist, kann die im folgenden beschriebene zusätzliche Maßnahme vorgesehen sein.

Wie Fig.7 zeigt, reicht der Sägeschnitt 12 noch etwas in die Fotolackschicht 32 hinein. Es wird durch örtlich partielles Belichten der Fotolackschicht 32 vor dem Sägevorgang bewirkt, daß in der Fotolackschicht 32 eine mit 71 kenntlich gemachte Randzone unterhalb des Randes 222, angrenzend an die später entstehende Schnittfläche des Sägeschnittes 12, (und dies gilt sinngemäß auch für den Sägeschnitt 13 und die angrenzende Randzone unterhalb des überstehenden Randes 223) für einen nachfolgenden Prozeß löslich gemacht wird. Sofern ein Positiv-Lack verwendet wird, wird die Zone 71 belichtet und die Nachbarschaft derselben bleibt unbelichtet. Bei Verwendung eines Negativ-Fotolackes bleibt diese Zone 71 unbelichtet und ihre Nachbarbereiche werden belichtet. Nach dem Sägen und vor dem Schrägbedampfen 34, 134 wird nun durch Entwickeln des Fotolackes 32 diese Zone 71 im Fotolack löslich gemacht und es bildet sich dabei ein mit dem gestrichelten Bogen 72 kenntlich gemachter Rücksprung im Fotolack 32. Dieser Rücksprung 72 bewirkt, daß dort bei der Schrägbedampfung eine Kontur entsprechend dem Bezugszeichen 722 gebildet wird und keine wie mit 722

angedeutete, gestrichelt gezeigte Kontur entsteht. Der Rücksprung 72 sorgt also dort (wo er vorhanden ist) für eine Unterbrechung der durch Schrägbedampfung entstandenen Metallisierung 412, 422 im Bereich des überstehenden Randes 222. Damit aber die einzelnen Halbleiterchips nicht völlig vom Metallgitter 412 (Fig.4) getrennt sind, läßt man die löslich gemachte Zone 71 der Fotolackschicht 32 bzw. läßt man durch entsprechende Begrenzung der Zone 71 den Rücksprung 72 nicht entlang dem gesamten überstehenden Rand 222 des (Source-)Anschlusses 4 entstehen, sondern läßt im Bereich eines entsprechend kleinen Anteils dieses überstehenden Randes 222 die mit 722 angedeutete Kontur entstehen. Die durch die Kontur 722 noch vorhandene mechanische (und elektrische) Verbindung zwischen den Metallisierungen 422 (und 423) der einzelnen Chips 11 und dem gemeinsamen Metallnetz 412 kann auf diese Weise derart passend bemessen werden, daß bei Entnahme der einzelnen Halbleiterchips 11 aus dem Metallnetz 412 keinerlei Beschädigung der Kontaktverbindungen auf dem Halbleiterchip 11 entsteht. Die durch die Kontur 722 noch vorhandene elektrische Verbindung ist auch ausreichend dafür, eine galvanische Verstärkung der Metallisierungen 422, 423 usw. durchzuführen, wobei es genügt, den einen Anschluß mit dem durch Aufdampfen entstandenen Metallnetz 412 außerhalb des Chips auf der Trägerfolie zu verbinden. Der andere Anschluß ist dann die Elektrode im Elektrolyt.

Die in den Figuren dargestellte Struktur von Source-Anschluß 4, Gate-Anschluß 5 und Drain-Anschluß 6 ist lediglich eine prinzipielle Darstellung. In der Praxis werden ineinander verschachtelte Strukturen verwendet, so daß bereits auf einem Chip mehrere Source-Anschlüsse parallelgeschaltet vorhanden sind, die mit der Erfindung in gleichwertiger Weise mit dem Kontakt der Rück-

15- 3043903
~~15~~ 80 P 7196 DE

seite verbunden werden.

7 Figuren

9 Patentansprüche

3043903
H01 L 21/60
21. November 1980
1. Juli 1982

21

1/3 80 P 7 1 9 6 DE

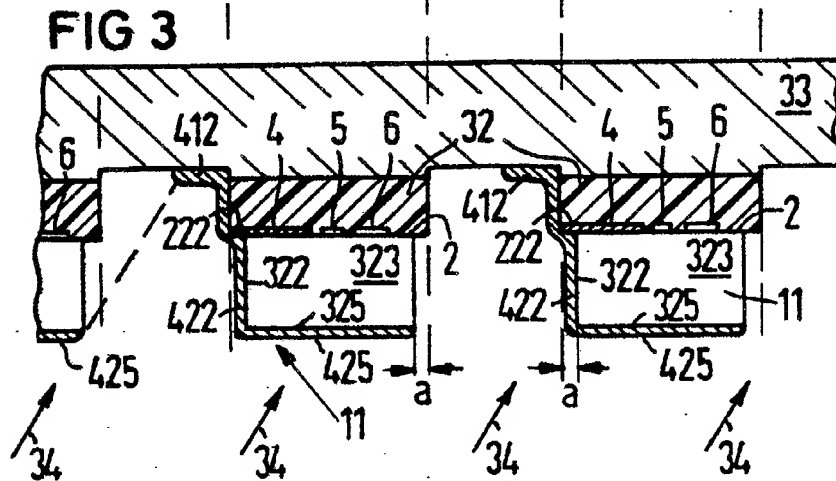
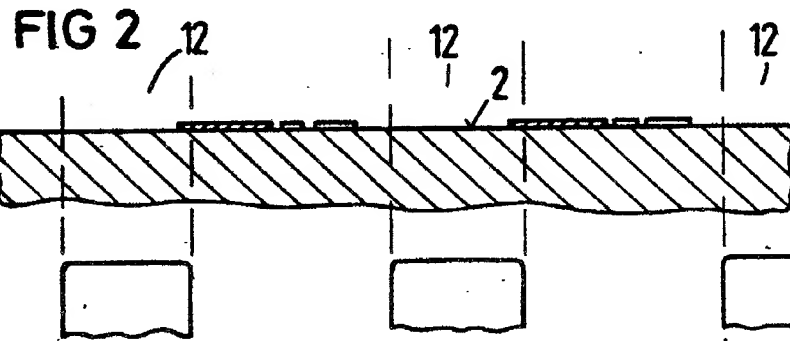
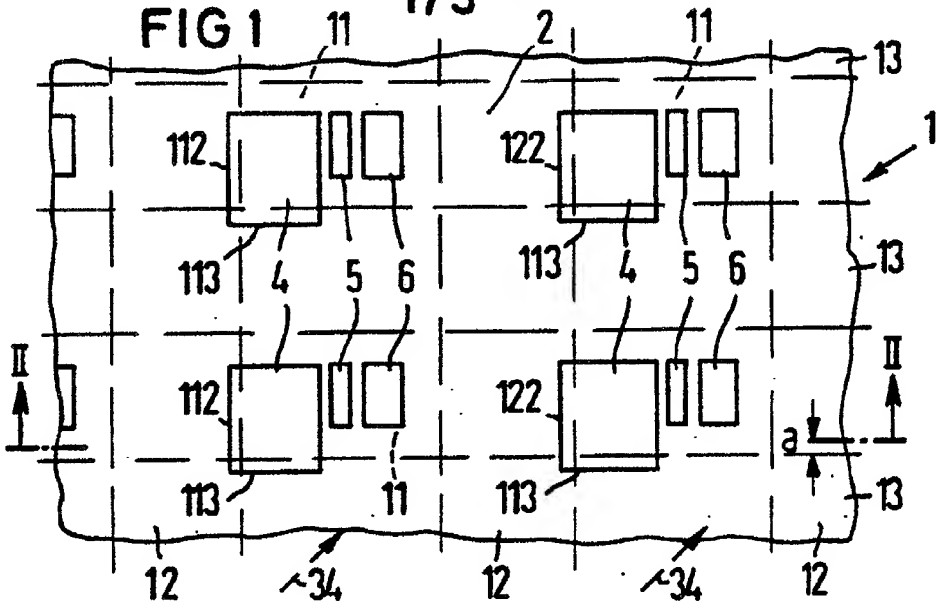


FIG 4

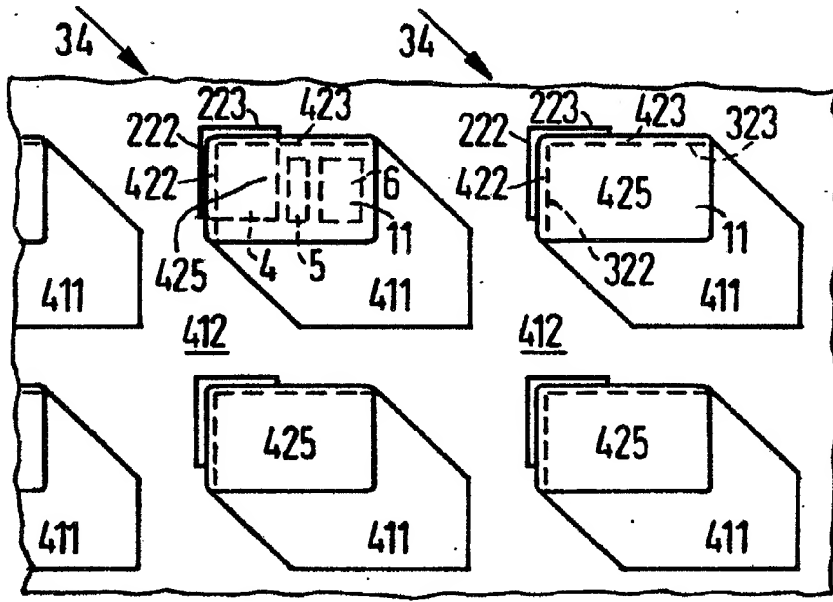


FIG 5

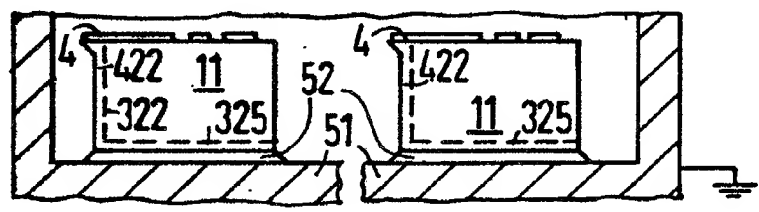


FIG 6

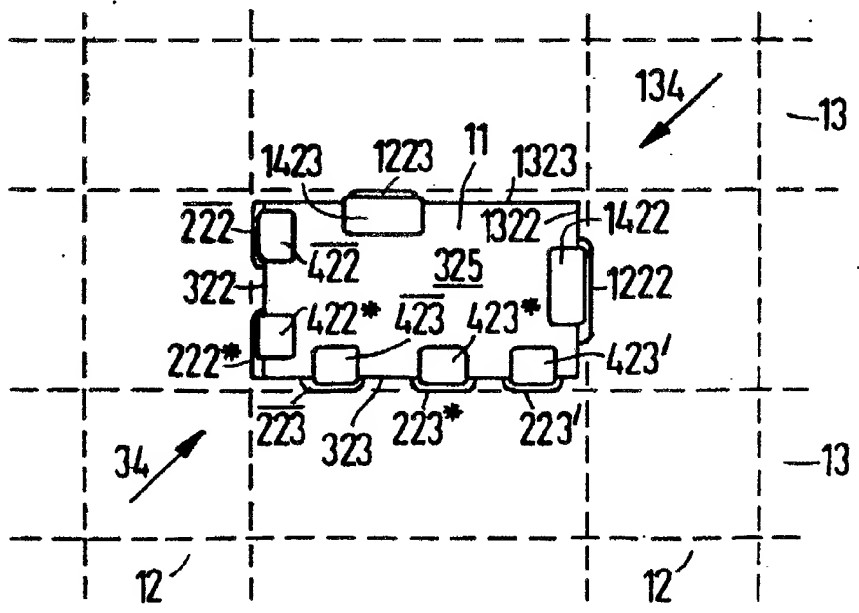


FIG 7

